

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

TAE-WOO JUNG, ET AL.

Application No.:

Filed:

For: **METHOD FOR FABRICATING
SEMICONDUCTOR DEVICE
HAVING TRENCH TYPE DEVICE
ISOLATION LAYER**

Art Group:

Examiner:

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

REQUEST FOR PRIORITY

Sir:

Applicant respectfully requests a convention priority for the above-captioned application, namely:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>DATE OF FILING</u>
Republic of Korea	2003-43071	30 June 2003

☒ A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP

Dated: December 30, 2003

12400 Wilshire Boulevard, 7th Floor
Los Angeles, CA 90025
Telephone: (310) 207-3800


Eric S. Hyman, Reg. No. 30,139



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원번호 : 10-2003-0043071
Application Number

출원년월일 : 2003년 06월 30일
Date of Application JUN 30, 2003

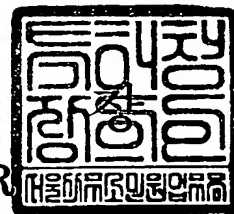
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 24 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0035
【제출일자】	2003.06.30
【발명의 명칭】	트렌치형 소자분리막을 구비한 반도체 소자의 제조 방법
【발명의 영문명칭】	METHOD FOR MAKING SEMICONDUCTOR DEVICE HAVING TRENCH ISOLATION
【출원인】	
【명칭】	주식회사 하이닉스반도체
【출원인코드】	1-1998-004569-8
【대리인】	
【명칭】	특허법인 신성
【대리인코드】	9-2000-100004-8
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천
【포괄위임등록번호】	2000-049307-2
【발명자】	
【성명의 국문표기】	정태우
【성명의 영문표기】	JUNG, Tae Woo
【주민등록번호】	650520-1388212
【우편번호】	440-150
【주소】	경기도 수원시 장안구 화서동 730 코오롱아파트 171-305
【국적】	KR
【발명자】	
【성명의 국문표기】	선준협
【성명의 영문표기】	SUN, Jun Hyeub
【주민등록번호】	701113-1058311
【우편번호】	150-010
【주소】	서울특별시 영등포구 여의도동 37-2 미성아파트 A-809
【국적】	KR
【심사청구】	청구

【취지】

특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
특허법인 신성 (인)

【수수료】

【기본출원료】 20 면 29,000 원

【가산출원료】 18 면 18,000 원

【우선권주장료】 0 건 0 원

【심사청구료】 19 항 717,000 원

【합계】 764,000 원

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 탑라운딩 각도를 완만하게 제어하고, 트렌치 식각후 발생된 식각손실층을 제거할 수 있는 트렌치형 소자분리막을 구비한 반도체 소자의 제조 방법을 제공하기 위한 것으로, 본 발명의 반도체 소자의 소자분리막 형성 방법은 적어도 브롬화수소와 염소가스를 포함하는 가스를 이용하여 탑코너가 $30^{\circ} \sim 60^{\circ}$ 로 라운드진 트렌치를 형성하고, 후식각처리로 등방성식각을 통해 트렌치의 탑코너의 각도를 $50^{\circ} \sim 80^{\circ}$ 수준으로 제어하며, 후속 스크린산화막 및 게이트산화막을 건식산화를 통해 형성하므로써 게이트전극 형성전에 모우트 현상을 최소화시킬 수 있다.

【대표도】

도 2h

【색인어】

트렌치, 라이너질화막, 탑코너, 라운드, 각도, 건식산화

【명세서】**【발명의 명칭】**

트렌치형 소자분리막을 구비한 반도체 소자의 제조 방법 {METHOD FOR MAKING SEMICONDUCTOR DEVICE HAVING TRENCH ISOLATION}

【도면의 간단한 설명】

도 1a 및 도 1b는 종래 기술에 따른 트렌치형 소자분리막을 갖는 반도체 소자의 제조 방법을 도시한 공정 단면도,

도 2a 내지 도 2h는 본 발명의 실시예에 따른 트렌치형 소자분리막을 갖는 반도체 소자의 제조 방법을 도시한 공정 단면도,

도 3a는 본 발명에 따른 트렌치 식각, 후처리식각, 라이너질화막 증착이 진행되는 동안의 트렌치의 탑코너의 각도 변화를 상세히 도시한 도면,

도 3b는 스크린산화막 증착 및 게이트산화막 증착이 진행되는 동안의 트렌치의 탑코너의 각도 변화를 상세히 도시한 상세도,

도 3c는 탑코너에 형성되는 산화막의 두께 변화를 나타낸 도면,

도 4a는 표1의 조건에 의해 트렌치의 탑코너 각도를 30°로 형성한 경우의 사진,

도 4b는 표1의 조건에 의해 트렌치의 탑코너 각도를 45°로 형성한 경우의 사진,

도 4c는 표1의 조건에 의해 트렌치의 탑코너 각도를 90°로 형성한 경우의 사진,

도 5a 내지 도 5c는 트렌치 식각시 탑코너 각도를 45°로 형성한 후 후처리식각 및 라이너질화막을 증착한 결과를 나타낸 사진,

도 5d는 후처리식각을 생략한 후 라이너질화막을 증착한 결과를 나타낸 사진,

도 6a는 도 5c의 라이너질화막 증착후 패드질화막을 제거한 후의 결과를 나타낸 사진,

도 6b는 스크린산화막 형성후의 결과를 나타낸 사진,

도 6c는 게이트산화막 형성후의 결과를 나타낸 사진,

도 7은 후처리식각 적용의 유무에 따른 활성영역 폭의 감소를 비교한 도면,

도 8은 패드질화막 스트립후의 활성영역폭 변화를 도시한 도면.

표1은 본 발명에 따른 트렌치 식각시 탑코너 각도(45° , 30° , 90°)를 구현하기 위한 식각 조건을 비교한 표.

* 도면의 주요 부분에 대한 부호의 설명

21 : 실리콘 기판	22 : 패드산화막
23 : 패드질화막	24 : 반사방지막
27 : 트렌치	28 : 측벽산화막
29 : 라이너질화막	30 : 절연막

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

<22> 본 발명은 반도체소자의 제조 방법에 관한 것으로, 특히 트렌치 구조의 소자분리막의 형성 방법에 관한 것이다.

- <23> 일반적으로 반도체 장치의 소자분리공정(Isolation; ISO)은 LOCOS(Local Oxidation of Silicon) 또는 PGI(Profiled Grove Isolation) 등과 같은 통상적인 소자 분리 방법을 이용하여 반도체기판의 소정 부분에 필드절연막을 형성하여 활성영역을 한정하는 필드영역을 형성한다.
- <24> 소자 분리 방법 중에서 LOCOS 방법은 활성영역을 한정하는 산화 마스크인 질화막(Nitride)을 반도체기판상에 형성하고, 포토리소그래피(Photolithography) 방법으로 패터닝하여 반도체기판의 소정 부분을 노출시킨 후, 노출된 반도체기판을 산화시켜 소자 분리 영역으로 이용되는 필드산화막(Field Oxide)을 형성한다.
- <25> LOCOS 방법은 공정이 단순하고, 넓은 부위와 좁은 부위를 동시에 분리할 수 있다는 장점을 갖고 있지만, 측면산화에 의한 새부리(Bird's beak)가 형성되어 소자 분리 영역의 폭이 넓어져서 소오스/드레인 영역의 유효 면적을 감소시킨다. 또한, 필드산화막 형성시 산화막의 가장자리에 열 팽창계수의 차이에 따른 응력이 집중됨으로써, 실리콘 기판에 결정 결함이 발생하여 누설전류가 많은 단점이 있다.
- <26> 최근에 반도체소자의 집적도가 증가함에 따라 디자인 룰이 감소하고, 따라서 반도체소자와 반도체소자를 분리하는 소자분리막의 크기도 같은 스케일(scale)만큼 축소되어 통상의 LOCOS, PBL 등과 같은 소자 분리 방법은 그 적용이 한계에 이르게 되었다.
- <27> 이를 해결하기 위해 적용된 STI(Shallow Trench Isolation) 방법은 반도체기판상에 반도체기판과 식각선택비가 양호한 질화막을 형성하고, 질화막을 하드마스크(Hardmask)로 사용하기 위해 질화막을 포토리소그래피 방법으로 패터닝하여 질화막 패턴을 형성하고, 질화막 패턴을 하드 마스크로 사용하여 반도체기판을 소정 깊이로 건식 식각 방법으로 패터닝하여 트렌치

(trench)를 형성한 후, 트렌치에 절연막을 매립시킨 후 화학적기계적연마(Chemical Mechanical Polishing; CMP)하여 트렌치에 매립되는 필드절연막을 형성한다.

- <28> 도 1a 및 도 1b는 종래 기술에 따른 트렌치 구조의 소자분리막 형성 방법을 도시한 공정 단면도이다.
- <29> 도 1a에 도시된 바와 같이, 실리콘 기판(11) 상에 패드산화막(12)과 패드질화막(13)을 증착한다. 다음으로, 패드질화막(13) 상에 소자분리영역을 정의하는 감광막패턴(도시 생략)을 형성한 후, 감광막패턴을 식각마스크로 이용하여 패드질화막(13)과 패드산화막(12)을 순차적으로 식각한다.
- <30> 계속해서, 감광막패턴을 스트립한 후, 패드산화막(12) 식각후 노출된 실리콘기판(11)을 소정 깊이만큼 건식식각하여 트렌치(14)를 형성한다. 다음에, 트렌치(14) 형성을 위한 식각으로 인해 발생된 식각손실층을 제거해주기 위해 측벽산화 공정을 실시하여 트렌치(14)의 바닥 및 측벽에 측벽산화막(15)을 형성한다.
- <31> 그리고 나서, 측벽산화막(15)을 포함한 전면에 라이너질화막(16)을 증착한 후, 트렌치를 갯필하도록 고밀도플라즈마방식의 산화막(17)을 증착한다.
- <32> 도 1b에 도시된 바와 같이, 패드질화막(13) 표면이 드러날때까지 산화막(17)을 화학적기계적연마하여 산화막(17)으로 된 소자분리막을 형성한 후, 패드질화막(13)과 패드산화막(12)을 습식제거한다.
- <33> 그러나, 종래 기술은 트렌치(14)를 형성하기 위한 건식식각후 탑라운드(Top rounding) 모양이 매우 가파르고, 이 부분에 전계가 상대적으로 집중됨에 따라 트랜지스터의 문턱전압이 낮아지는 문제가 있다.

<34> 이로써, 패드질화막(13)과 패드산화막(12)을 제거하는 공정동안 소자분리막(17)의 탑코너 부분이 식각되어 활성영역과 소자분리막(17) 사이의 단차인 모우트(Moat, 'M')가 발생하고, 이 모우트(M)로 인해 후속 게이트전극을 형성하기위한 폴리실리콘막 증착후 건식식각후에도 폴리실리콘막 잔막이 모우트에 잔류하여 이웃한 게이트전극간에 브릿지(bridge)가 발생하는 문제가 있다. 즉, 트렌치의 탑코너가 매우 가파르게 형성된 상태에서 후속 공정을 진행함에 따라 모우트에 폴리실리콘막 잔막이 잔류한다.

<35> 또한, 종래 기술은 트렌치(14)를 형성하기 위한 건식식각후 식각손실층을 제거해주기 위해 측벽산화 공정을 진행하고 있으나, 측벽산화 공정만으로는 식각손실층을 충분히 제거하지 못하는 단점이 있다.

【발명이 이루고자 하는 기술적 과제】

<36> 본 발명은 상기한 종래 기술의 문제점을 해결하기 위해 안출한 것으로, 탑라운딩 각도를 완만하게 제어할 수 있는 트렌치형 소자분리막을 구비한 반도체 소자의 제조 방법을 제공하는 데 그 목적이 있다.

<37> 또한, 본 발명의 다른 목적은 트렌치 식각후 발생된 식각손실층을 제거할 수 있는 트렌치형 소자분리막을 구비한 반도체 소자의 제조 방법을 제공하는데 있다.

【발명의 구성 및 작용】

<38> 상기 목적을 달성하기 위한 본 발명의 반도체 소자의 소자분리막 형성 방법은 반도체 기판 상에 소자분리영역을 정의하는 패드층 패턴을 형성하는 단계, 상기 패드층 패턴을 마스크로

사용하여 상기 반도체 기판의 노출된 표면을 식각하여 트렌치를 형성하는 단계, 상기 트렌치의 탑코너를 라운드지게 형성하기 위해 후식각처리하는 단계, 상기 후식각처리된 트렌치의 측벽을 산화시켜 측벽산화막을 형성하는 단계, 상기 측벽산화막 상에 라이너질화막을 형성하는 단계, 상기 라이너질화막 상에 상기 트렌치를 매립하도록 갭필절연막을 형성하는 단계, 및 상기 갭필절연막을 평탄화시키는 단계를 포함하는 것을 특징으로 하고, 상기 트렌치를 형성하는 단계는 적어도 브롬화수소와 염소가스를 포함하는 가스를 이용하여 상기 트렌치의 탑코너를 $35^{\circ} \sim 55^{\circ}$ 로 제어하는 것을 특징으로 하며, 상기 후식각처리를 등방성식각을 통해 상기 트렌치의 탑코너의 각도를 $65^{\circ} \sim 75^{\circ}$ 수준으로 제어하는 것을 특징으로 한다.

<39> 그리고, 본 발명의 반도체 소자의 제조 방법은 반도체 기판 표면을 소정 깊이로 식각하여 탑코너가 라운드진 트렌치를 형성하는 단계, 상기 트렌치를 후식각처리하여 상기 트렌치의 탑코너를 더욱 라운드시키는 단계, 상기 후식각처리된 트렌치의 측벽을 산화시켜 측벽산화막을 형성하는 단계, 상기 측벽산화막 상에 라이너질화막을 형성하는 단계, 상기 라이너질화막 상에 상기 트렌치를 매립하도록 갭필절연막을 형성하는 단계, 상기 반도체 기판 표면을 노출시키도록 상기 갭필절연막을 평탄화시키는 단계, 상기 노출된 반도체 기판 표면 상에 산화막을 형성하는 단계, 및 상기 산화막을 포함한 전면에 게이트전극용 도전막을 형성하는 단계를 포함하는 것을 특징으로 하며, 상기 측벽산화막, 스크린산화막 및 상기 게이트산화막을 건식산화법으로 형성하는 것을 특징으로 한다.

<40> 이하, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 본 발명의 기술적 사상을 용이하게 실시할 수 있을 정도로 상세히 설명하기 위하여, 본 발명의 가장 바람직한 실시예를 첨부 도면을 참조하여 설명하기로 한다.

- <41> 도 2a 내지 도 2h는 본 발명의 실시예에 따른 트렌치형 소자분리막을 갖는 반도체소자의 제조 방법을 도시한 공정 단면도이다.
- <42> 도 2a에 도시된 바와 같이, 실리콘 기판(21) 상에 패드산화막(22)과 패드질화막(23)을 순차적으로 형성한다. 여기서, 패드질화막(23)은 이후의 식각 저지막의 역할을 하고 또한 이후의 화학적기계적연마(CMP) 공정시 연마 스톱층(stop layer)의 역할도 한다. 바람직하게 패드산화막(22)은 100 Å 정도의 두께를 갖는 실리콘산화막(SiO_2)이고, 패드질화막(23)은 300 Å ~ 2000 Å 정도의 두께를 가지는 실리콘질화막(Si_3N_4)이다.
- <43> 다음에, 패드질화막(23) 상에 반사방지막(24)을 형성한다. 여기서, 반사방지막(24)은 이후 포토리소그래피 공정을 용이하게 진행하기 위해 도입한 것으로, 실리콘질화막(SiN)을 이용한다.
- <44> 다음으로, 반사방지막(24) 상에 감광막을 도포하고 노광 및 현상으로 패터닝하여 소자분리영역을 정의하는 감광막패턴(25)을 형성한 후, 감광막패턴(25)을 식각마스크로 이용하여 반사방지막(24), 패드질화막(23) 및 패드산화막(22)을 순차적으로 식각한다. 이상의 식각 공정은 패드질화막 식각 장치에서 이루어지고, 반사방지막을 식각 단계, 패드질화막 식각 단계, 패드산화막 과도식각 단계, 탑라운드 형성 단계의 4단계로 진행된다.
- <45> 먼저, 감광막패턴(25)을 식각마스크로 이용하여 반사방지막(24)을 식각하는 단계는, $\text{CHF}_3/\text{CF}_4/\text{Ar}/\text{O}_2$ 의 혼합가스를 이용하여 식각하되, 식각 중지 시점인 EOP(End Of Point)로 식각종료시점을 정하게 된다. 예를 들어, 공정 조건(recipe)을 살펴 보면, 식각가스로는 10sccm ~ 30sccm 유량의 CHF_3 , 20sccm ~ 30sccm 유량의 CF_4 또는 5sccm ~ 20sccm 유량의 O_2 를 단독 또는 혼합하여 사용하고, 혼합하여 사용할 때 혼합가스내 절대량은 CF_4 가 많다.

- <46> 다음에, 반사방지막(24) 식각후 노출되는 패드질화막(23)을 식각하는데, 식각가스는 반사방지막 식각 조건과 동일하다. 예를 들어, $\text{CHF}_3/\text{CF}_4/\text{Ar}/\text{O}_2$ 의 혼합가스를 이용하여 식각하되, 식각 중지 시점인 EOP로 식각종료시점을 정하게 된다. 바람직하게, 5sccm~30sccm 유량의 CHF_3 , 5sccm~15sccm 유량의 CF_4 또는 0sccm~10sccm 유량의 O_2 를 혼합하여 사용하고, 혼합가스내 절대량은 CHF_3 가 많다. 한편, 위와 같은 패드질화막(23) 식각시 하부의 패드산화막(22)도 식각된다.
- <47> 다음으로, 패드질화막(23)의 과도식각을 진행하는데, 과도식각은 패드질화막(23) 및 패드산화막(22) 식각후 실리콘기판(21) 표면에 발생된 실리콘스팟(Si spot)과 같은 결함들을 제거해주기 위한 것으로, $\text{CF}_4/\text{Ar}/\text{O}_2$ 의 혼합가스를 사용한다.
- <48> 다음으로, 트렌치를 형성하는 단계를 수행하기 전에 초기 탑라운드(26)을 형성하는 단계를 수행한다. 초기 탑라운드(26)를 형성하기 위해 $\text{CHF}_3/\text{CF}_4/\text{Ar}$ 의 혼합가스를 이용한다.
- <49> 도 2b에 도시된 바와 같이, 전술한 바와 같이 패드질화막(23) 식각 공정을 진행한 후에 감광막패턴(25)과 반사방지막(24)을 스트립하는데, 스트립 공정은 산소 플라즈마를 이용한다.
- <50> 다음으로, 패드질화막(23)을 식각마스크로 이용하여 실리콘 기판(21)을 식각하여 트렌치(27)를 형성하는 공정을 진행한다. 트렌치(27)를 형성하는 실리콘 기판 식각 공정은 브롬화수소(HBr)를 이용하여 표면을 식각하여 트렌치(27)의 탑코너의 라운드각도(A1)를 조절하는 제1단계, 자연산화막을 제거하는 제2단계, 설정된 깊이만큼 실리콘기판(21)을 식각하는 제3단계, 및 제3단계 식각시 이용한 가스를 제거하기 위한 제4단계로 구성된다. 이상의 식각 공정은 실리콘 식각 장치에서 이루어진다.

- <51> 먼저, 제1단계는, 40sccm의 브롬화수소(HBr)를 포함하는 가스를 포함하는 식각가스로 식각을 진행하고, 또는 헬륨(He) 가스를 더 추가하여 식각을 진행할 수도 있다. 그리고, 제2단계는 CF₄/He의 혼합가스를 이용하여 식각하고, 제3단계는 실질적으로 트렌치(27)를 형성하는 메인 식각단계로서 브롬화수소(HBr)와 염소(Cl₂) 가스의 혼합가스를 포함하는 가스로 식각한다. 예를 들어, 제3단계는 HBr/Cl₂/O₂/He의 혼합가스를 이용한다. 다음으로, 제4단계는 제3단계시 챔버분위기중의 염소가스를 제거하기 위한 것으로 CF₄/O₂/Ar/He의 혼합가스를 이용한다.
- <52> 전술한 바와 같은 트렌치(27)를 형성하기 위한 식각후에 트렌치(27)의 탑코너의 라운드 각도(A1)는 30°~60°정도의 각도를 갖는다. 즉, 실리콘 기판(21) 면에 대해 30°~60°정도로 비스듬히 식각되어 경사진 측벽이 형성된다
- <53> 다음으로, 도 2c에 도시된 바와 같이, 추가로 트렌치(27)를 식각하는 후처리식각(Light Etch Treatment; LET)으로 등방성 식각(isotropic etch)을 진행한다. 이때, 등방성 식각은 CF₄/O₂의 혼합가스를 이용하여 식각하여 탑코너의 각도(A2)를 50°~80°수준으로 형성한다.
- <54> 이와 같은 추가 등방성 식각을 통해 트렌치(27) 식각시 발생된 식각손실층을 제거함과 동시에 탑코너의 라운드각도(A2)를 50°~80°로 제어한다. 예컨대, 등방성 식각은 수직에 가까운 트렌치(27)의 측벽에 비해 30°~60°의 각도로 라운드진 탑코너를 더 식각하는 특성을 갖기 때문에 트렌치(27) 형성시의 탑코너의 라운드각도(A1)를 더욱 경사지게 형성할 수 있다.
- <55> 도 2d에 도시된 바와 같이, 측벽산화를 진행하여 트렌치(27)의 측벽에 측벽산화막(28)을 형성한다. 이때, 측벽산화막을 형성하기 위한 측벽산화는 900℃~1000℃의 온도범위에서 건식산화(dry oxidation)를 이용하여 60Å~100Å 두께로 형성하며, 측벽산화막(28) 형성에 따른 탑코너의 라운드각도(A3)는 85°~90°로 제어한다. 건식산화는 습식산화(wet oxidation)에 비해

트렌치의 탑코너를 더 산화시키므로 탑코너에 형성되는 측벽산화막의 두께(d2)가 트렌치의 측벽에 형성되는 두께(d1)보다 더 두껍다.

- <56> 도 2e에 도시된 바와 같이, 전면에 라이너 질화막(29)을 증착한 후, 라이너질화막(29) 상에 트렌치(27)를 모두 채울때까지 고밀도플라즈마 방식의 절연막(30)을 증착한다.
- <57> 도 2f에 도시된 바와 같이, 화학적기계적연마를 통해 절연막(30)을 평탄화하고, 후속 공정으로 패드질화막(23)을 인산용액(H_3PO_4)의 습식용액을 통해 제거한다. 이때, 패드산화막(23)과 측벽산화막(28)은 인산용액에 대해 선택비를 가지므로 식각되지 않는다.
- <58> 계속해서, 패드산화막(22)의 습식제거를 통해 트렌치(27)에 절연막(30)으로 된 소자분리막을 형성한다. 이때, 트렌치(27)의 탑코너를 덮는 측벽산화막(28)의 두께가 트렌치(27)의 측벽에 형성된 두께보다 두껍기 때문에 패드산화막(22) 제거후에 모우트가 최소화된다.
- <59> 도 2g에 도시된 바와 같이, 스크린산화막(31)을 건식산화법으로 형성한 후 문턱전압조절을 위한 불순물을 이온주입한다. 이때, 스크린산화막(31)은 $850^{\circ}C \sim 1000^{\circ}C$ 의 온도에서 $50\text{\AA} \sim 150\text{\AA}$ 두께로 형성한다.
- <60> 다음에, 도 2h에 도시된 바와 같이, 스크린산화막(31)을 제거하고, 게이트산화막(32)을 건식산화법으로 성장시킨다. 이때, 게이트산화막(32)은 $850^{\circ}C \sim 1000^{\circ}C$ 의 온도에서 형성하며, 습식산화법을 이용할 수도 있다.
- <61> 결과적으로, 스크린산화막(31)과 게이트산화막(32)은 건식산화법을 이용하므로써 탑코너의 각도를 90° 로 유지시킨다.
- <62> 후속 공정으로, 전술한 바와 같이 모우트를 최소화시킨 상태에서 게이트산화막(32) 상에 폴리실리콘막을 증착후 식각하는 경우, 모우트에 잔막이 잔류하는 것이 억제된다.

- <63> 도 3a는 본 발명에 따른 트렌치 식각, 후처리식각, 라이너질화막 증착이 진행되는 동안의 트렌치의 탑코너의 각도 변화를 상세히 도시한 도면이고, 도 3b는 스크린산화막 증착 및 게이트산화막 증착이 진행되는 동안의 트렌치의 탑코너의 각도 변화를 상세히 도시한 상세도이다. 그리고, 도 3c는 탑코너에 형성되는 산화막의 두께 변화를 나타낸 도면이다.
- <64> 도 3a에 도시된 바와 같이, 트렌치 식각(B1), 후처리식각(B2), 라이너질화막 증착(B3)이 진행되는 동안 트렌치의 탑코너는 45°, 75°, 90°로 변화된다.
- <65> 그리고, 도 3b에 도시된 바와 같이, 스크린산화막 증착(B4) 및 게이트산화막 증착(B5)이 진행되는 동안 트렌치의 탑코너 각도는 90°를 거의 유지하고 단지 탑코너의 라운드 형태가 변화된다. 즉, 스크린산화막 증착(B4)과 게이트산화막 증착(B5)이 건식산화법으로 진행되므로 이전단계의 탑코너의 각진 부분을 식각하게 되어 탑코너가 더욱더 라운드해진다. 따라서, 건식산화법으로 진행함에 따라, 도 3c에 도시된 바와 같이, 트렌치의 탑코너에 형성되는 산화막들의 두께(d)가 점차 증가하고, 이는 모우트 현상을 최소화시키는 효과를 얻는다.
- <66> 표1은 본 발명에 따른 트렌치 식각시 탑코너 각도(45°, 30°, 90°)를 구현하기 위한 식각 조건을 비교한 표이다.

<67>

【표 1】

	패드질화막 식각 장치				실리콘 식각 장치			
	BARC	Nit	Nit OE	TR	HBr	B/T	M/E	S/E
45°	83mtorr 300W 20 CHF ₃ 80 CF ₄ 200 Ar 12 O ₂ EOP 25"	83mtorr 600W 15 CHF ₃ 5 CF ₄ 300 Ar 2 O ₂ EOP 16"	88mtorr 600W 50 CF ₄ 300 Ar 10"	88mtorr 600W 40 CHF ₃ 10 CF ₄ 300 Ar 20"	10mtorr 1000Ws 275Wb 40 HBr 10torr He 20℃ 0"	10mtorr 600Ws 90Wb 80 CF ₄ 10torr He 20℃ 7"	10mtorr 1300Ws 275Wb 20 Cl ₂ 60 HBr 3 O ₂ 10torr He 20℃ 24"	10mtorr 1200Ws 1Wb 60 CF ₄ 10 O ₂ 100 Ar 10torr He 20℃ 15"
30°	83mtorr 300W 20 CHF ₃ 80 CF ₄ 200 Ar 12 O ₂ EOP 25"	83mtorr 600W 15 CHF ₃ 5 CF ₄ 300 Ar 2 O ₂ EOP 16"	88mtorr 600W 50 CF ₄ 300 Ar 0"	88mtorr 600W 40 CHF ₃ 10 CF ₄ 300 Ar 20"	10mtorr 1000Ws 275Wb 40 HBr 10torr He 20℃ 5"	10mtorr 600Ws 90Wb 80 CF ₄ 10torr He 20℃ 0"	10mtorr 1300Ws 275Wb 20 Cl ₂ 60 HBr 3 O ₂ 10torr He 20℃ 24"	10mtorr 1200Ws 1Wb 60 CF ₄ 10 O ₂ 100 Ar 10torr He 20℃ 15"
90°	83mtorr 300W 20 CHF ₃ 80 CF ₄ 200 Ar 12 O ₂ EOP 25"	83mtorr 600W 15 CHF ₃ 5 CF ₄ 300 Ar 2 O ₂ EOP 16"	88mtorr 600W 50 CF ₄ 300 Ar 0"	88mtorr 600W 40 CHF ₃ 10 CF ₄ 300 Ar 20"	10mtorr 1000Ws 275Wb 40 HBr 10torr He 20℃ 0"	10mtorr 600Ws 90Wb 80 CF ₄ 10torr He 20℃ 7"	10mtorr 1300Ws 275Wb 20 Cl ₂ 60 HBr 3 O ₂ 10torr He 20℃ 24"	10mtorr 1200Ws 1Wb 60 CF ₄ 10 O ₂ 100 Ar 10torr He 20℃ 15"

<68> 표1에서, BARC는 반사방지막 식각 조건, Nit는 패드질화막 식각 조건, Nit OE는 패드질화막 과도식각 조건, TR은 탑라운드 식각 조건, HBr은 브롬화수소를 이용한 초기 실리콘기판 식각 조건, B/T(Break Through)는 자연산화막 식각조건, M/E(Main Etch)는 실질적인 트렌치 식각 조건, S/E(Soft Etch)은 트렌치의 후식각조건을 나타낸다.

<69> 표1에 따르면, 식각조건중에서 트렌치의 탑코너 각도를 다르게 하기 위한 조건으로 작용하는 식각조건은 패드질화막의 과도식각단계(Nit OE), 브롬화수소를 이용한 식각단계(HBr), 자

연산화막 식각 단계(B/T)이다. 바람직하게는 식각 시간에 따라 트렌치의 탑코너 각도를 다르게 형성한다.

- <70> 표1을 참조하면, 패드질화막의 과도식각 단계(Nit OE)는 공통적으로 88mtorr, 600W, 50sccm의 CF_4 , 300sccm의 Ar 조건하에서 진행하되, 식각 시간을 0", 10", 0"로 달리하여 트렌치의 탑코너 각도를 각각 30° , 45° , 90° 로 형성한다.
- <71> 그리고, 브롬화수소를 이용한 식각단계(HBr)는 공통적으로 10mtorr, 1000Ws(소스파워), 275Wb(바이어스파워), 40sccm의 HBr, 10torr He, 20°C 조건하에서 실시하되, 식각 시간을 5", 0", 0"로 달리하여 트렌치의 탑코너 각도를 각각 30° , 45° , 90° 로 형성한다.
- <72> 그리고, 자연산화막 제거 단계(B/T)는 공통적으로 10mtorr, 600Ws, 90Wb, 80sccm의 CF_4 , 10torr He, 20°C 조건하에서 진행하되, 식각 시간을 0", 7", 7"로 달리하여 트렌치의 탑코너 각도를 각각 30° , 45° , 90° 로 형성한다.
- <73> 도 4a는 표1의 조건에 의해 트렌치의 탑코너 각도를 30° 로 형성한 경우의 사진이고, 도 4b는 표1의 조건에 의해 트렌치의 탑코너 각도를 45° 로 형성한 경우의 사진이고, 도 4c는 표1의 조건에 의해 트렌치의 탑코너 각도를 90° 로 형성한 경우의 사진이다.
- <74> 위와 같이, 트렌치의 탑코너 각도를 다르게 제어할 수 있는 방법은 식각시간외에도 식각 가스의 유량비 및 압력을 조절하므로써 가능하다.
- <75> 본 발명은 트렌치의 탑코너 각도가 $30^\circ \sim 60^\circ$ 정도로 갖도록 식각조건을 설정한 후, 후처리식각(LET)을 진행하여 탑코너 각도가 $50^\circ \sim 80^\circ$ 정도가 되도록 제어한다.

- <76> 도 5a 내지 도 5c는 트렌치 식각시 탑코너 각도를 45°로 형성한 후 후처리식각 및 라이너질화막을 증착한 결과를 나타낸 사진이고, 도 5d는 후처리식각을 생략한 후 라이너질화막을 증착한 결과를 나타낸 사진이다.
- <77> 전술한 식각조건에 따라 트렌치를 형성하여 탑코너 각도를 45°로 형성하고(도 5a), 후식각처리(LET)를 14"동안 실시하여 탑코너 각도를 75°로 형성하며(도 5b), 라이너질화막을 증착한다(도 5c). 따라서, 후처리식각을 진행하는 경우 트렌치의 탑코너가 라운드(round)해지는 효과를 얻는다.
- <78> 이에 반해, 도 5d에 도시된 바와 같이, 후처리식각을 생략한 후 라이너질화막을 증착하는 경우에는 트렌치 식각시 프로파일을 거의 유지함에 따라 트렌치의 탑코너가 매우 가파르다.
- <79> 도 6a는 도 5c의 라이너질화막 증착후 패드질화막을 제거한 후의 결과를 나타낸 사진이고, 도 6b는 스크린산화막 형성후의 결과를 나타낸 사진이며, 도 6c는 게이트산화막 형성후의 결과를 나타낸 사진이다.
- <80> 도 6a 내지 도 6c의 사진에 따르면, 모우트 프로파일이 스크린산화막 및 게이트산화막 형성후에 개선되고 있음을 알 수 있다. 이는 스크린산화막과 게이트산화막 형성을 건식산화법으로 형성하여 트렌치의 탑코너 각도를 90°에 가깝게 유지시키므로써 가능한 것이다.
- <81> 한편, 본 발명은 후처리식각(LET)을 진행하므로써 활성영역 폭의 감소를 초래할 수 있으나, 후처리식각이 탑코너의 라운드 효과를 주기 위한 것임을 감안하면 후처리식각의 적용유무에 따른 활성영역 폭의 감소는 미미하다.
- <82> 도 7은 후처리식각적용의 유무에 따른 활성영역 폭의 감소를 비교한 도면이다. 도 7에서, 가로좌표는 공정조건을 나타내고, 세로좌표는 활성영역 폭을 나타낸다.

- <83> 도 7에 도시된 바와 같이, 후처리식각이 수반된 경우(w/ LET, 도면부호 '○')의 활성영역폭과 후처리식각이 생략된 경우(w/o LET, 도면부호 '□')의 활성영역폭 차이는 미미하다.
- <84> 도 8은 패드질화막 스트립후의 활성영역폭 변화를 도시한 도면이다. 도 8에서, 가로좌표는 공정조건을 나타내고, 세로좌표는 활성영역 폭을 나타낸다.
- <85> 도 8에 도시된 바와 같이, 트렌치식각(ISO etch), 후처리식각(LET), 라이너질화막 증착(Nit. dep) 및 패드질화막 스트립(Nit. strip) 공정까지 점차 활성영역폭이 1476.3Å, 1387.3Å, 1311Å, 1208Å으로 감소하다가, 패드질화막 스트립후에 진행되는 스크린산화막(Vt sc ox.) 및 게이트산화막(gate ox.)에서는 활성영역폭이 큰 변화가 없다. 즉, 패드질화막 스트립 후에는 탑코너의 각도만 변화되는 것이다.
- <86> 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 전문가라면 본 발명의 기술 사상의 범위 내에서 다양한 실시예가 가능함을 이해할 수 있을 것이다.

【발명의 효과】

- <87> 상술한 본 발명은 트렌치의 탑코너를 라운드하게 제어함으로써 모우트 현상을 최소화하여 소자분리막의 열화를 방지할 수 있는 효과가 있다.
- <88> 또한, 본 발명은 트렌치 식각후 후식각처리를 진행함으로써 식각손실층을 충분히 제거하여 수율을 향상시킬 수 있는 효과가 있다.

【특허청구범위】**【청구항 1】**

반도체 기판 상에 소자분리영역을 정의하는 패드층 패턴을 형성하는 단계;

상기 패드층 패턴을 마스크로 사용하여 상기 반도체 기판의 노출된 표면을 식각하여 트렌치를 형성하는 단계;

상기 트렌치의 탑코너를 라운드지게 형성하기 위해 후식각처리하는 단계;

상기 후식각처리된 트렌치의 측벽을 산화시켜 측벽산화막을 형성하는 단계;

상기 측벽산화막 상에 라이너질화막을 형성하는 단계;

상기 라이너질화막 상에 상기 트렌치를 매립하도록 갭필절연막을 형성하는 단계; 및

상기 갭필절연막을 평탄화시키는 단계

를 포함하는 것을 특징으로 하는 반도체 소자의 소자분리막 형성 방법.

【청구항 2】

제1항에 있어서,

상기 트렌치를 형성하는 단계는,

적어도 브롬화수소와 염소가스를 포함하는 가스를 이용하여 상기 트렌치의 탑코너를 30°~60°로 제어하는 것을 특징으로 하는 반도체 소자의 소자분리막 형성 방법.

【청구항 3】

제2항에 있어서,

상기 트렌치를 형성하는 단계는,

브롬화수소를 이용하여 식각하는 제1단계;

상기 제1단계후 생성된 자연산화막을 CF_4 가스를 이용하여 제거하는 제2단계;

상기 트렌치가 소정 깊이를 갖도록 브롬화수소와 염소가스를 포함하는 가스를 이용하여 식각하는 제3단계; 및

상기 제3단계후 챔버분위기중의 염소가스를 제거하도록 CF_4 와 산소가스를 포함하는 가스를 이용하여 식각하는 제4단계

를 포함하는 것을 특징으로 하는 반도체 소자의 소자분리막 형성 방법.

【청구항 4】

제1항에 있어서,

상기 후식각처리는, 등방성식각을 통해 이루어짐을 특징으로 하는 반도체 소자의 소자분리막 형성 방법.

【청구항 5】

제4항에 있어서,

상기 등방성식각을 통해 상기 트렌치의 탑코너의 각도를 $50^{\circ} \sim 80^{\circ}$ 수준으로 제어하는 것을 특징으로 하는 반도체 소자의 소자분리막 형성 방법.

【청구항 6】

제4항에 있어서,

상기 등방성식각은, CF_4 와 O_2 를 포함하는 가스를 이용하여 진행하는 것을 특징으로 하는 반도체 소자의 소자분리막 형성 방법.

【청구항 7】

제1항에 있어서,

상기 측벽산화막을 형성하는 단계는,

건식산화법을 이용하는 것을 특징으로 하는 반도체 소자의 소자분리막 형성 방법.

【청구항 8】

제7항에 있어서,

상기 건식산화는, $900^{\circ}\text{C} \sim 1000^{\circ}\text{C}$ 의 온도에서 실시하여 상기 측벽산화막을 $60\text{\AA} \sim 100\text{\AA}$ 두께로 형성하는 것을 특징으로 하는 반도체 소자의 소자분리막 형성 방법.

【청구항 9】

반도체 기판 표면을 소정 깊이로 식각하여 탑코너가 라운드진 트렌치를 형성하는 단계;

상기 트렌치를 후식각처리하여 상기 트렌치의 탑코너를 더욱 라운드시키는 단계;

상기 후식각처리된 트렌치의 측벽을 산화시켜 측벽산화막을 형성하는 단계;

상기 측벽산화막 상에 라이너질화막을 형성하는 단계;

상기 라이너질화막 상에 상기 트렌치를 매립하도록 갭필절연막을 형성하는 단계;

상기 반도체 기판 표면을 노출시키도록 상기 갭필절연막을 평탄화시키는 단계;

상기 노출된 반도체 기판 표면 상에 산화막을 형성하는 단계; 및

상기 산화막을 포함한 전면에 게이트전극용 도전막을 형성하는 단계

를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법

【청구항 10】

제9항에 있어서,

상기 산화막을 형성하는 단계는,

상기 반도체 기판 표면 상에 문턱전압조절을 위한 스크린산화막을 형성하는 단계;

상기 스크린산화막을 마스크로 문턱전압조절을 위한 도펀트를 주입하는 단계;

상기 스크린산화막을 제거하는 단계 ; 및

상기 스크린산화막 제거후 노출된 상기 반도체 기판 표면 상에 게이트산화막을 형성하는

단계

를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 11】

제9항 또는 제10항에 있어서,

상기 측벽산화막, 스크린산화막 및 상기 게이트산화막을 건식산화법으로 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 12】

제11항에 있어서,

상기 측벽산화막은 900℃~1000℃의 온도에서 60Å~100Å 두께로 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 13】

제11항에 있어서,

상기 스크린산화막은 850℃~1000℃의 온도에서 50Å~150Å 두께로 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 14】

제11항에 있어서,

상기 게이트산화막은 850℃~1000℃의 온도에서 형성하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 15】

제9항에 있어서,

상기 탑코너가 라운드진 트렌치를 형성하는 단계는,

적어도 브롬화수소와 염소가스를 포함하는 가스를 이용하여 상기 트렌치의 탑코너를 30°~60°로 라운드지도록 하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 16】

제15항에 있어서,

상기 트렌치를 형성하는 단계는,

브롬화수소를 이용하여 식각하는 제1단계;

상기 제1단계후 생성된 자연산화막을 CF_4 가스를 이용하여 제거하는 제2단계;

상기 트렌치가 소정 깊이를 갖도록 브롬화수소와 염소가스를 포함하는 가스를 이용하여 식각하는 제3단계; 및

상기 제3단계후 챔버분위기중의 염소가스를 제거하도록 CF_4 와 산소가스를 포함하는 가스를 이용하여 식각하는 제4단계

를 포함하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 17】

제9항에 있어서,

상기 트렌치의 탑코너를 더욱 라운드시키는 단계는,

등방성식각을 통해 이루어짐을 특징으로 하는 반도체 소자의 제조 방법.

【청구항 18】

제17항에 있어서,

상기 등방성식각을 통해 상기 트렌치의 탑코너의 각도를 $50^{\circ} \sim 80^{\circ}$ 수준으로 제어하는 것을 특징으로 하는 반도체 소자의 제조 방법.

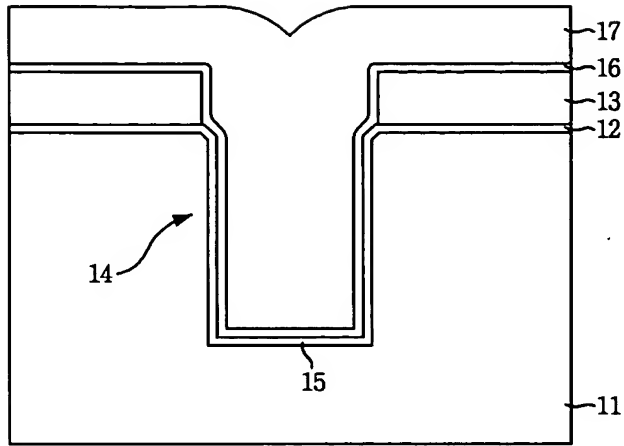
【청구항 19】

제17항에 있어서,

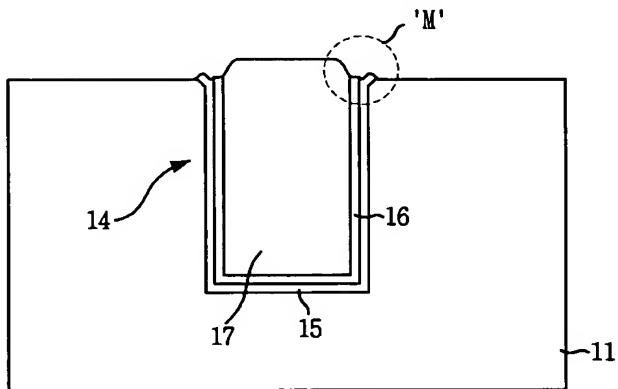
상기 등방성식각은, CF_4 와 O_2 를 포함하는 가스를 이용하여 진행하는 것을 특징으로 하는 반도체 소자의 제조 방법.

【도면】

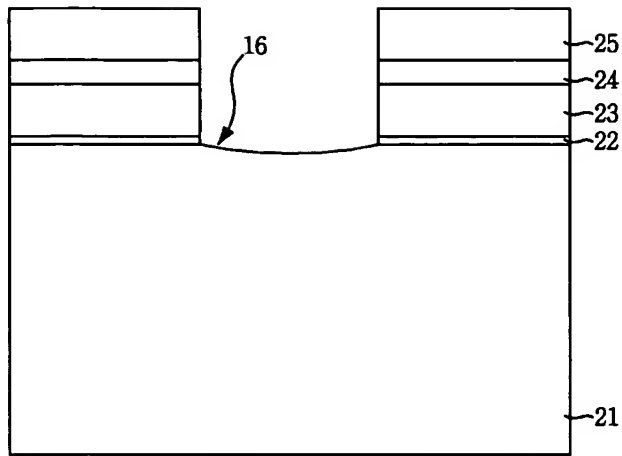
【도 1a】



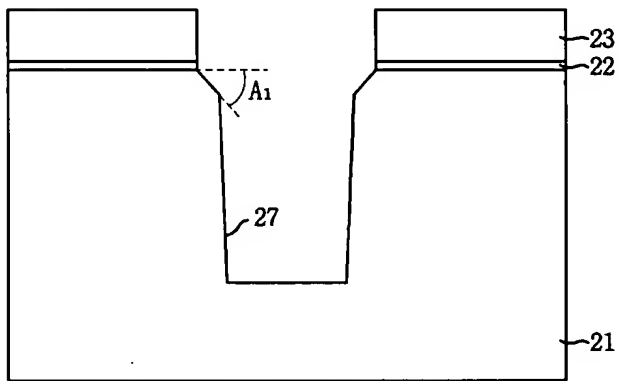
【도 1b】



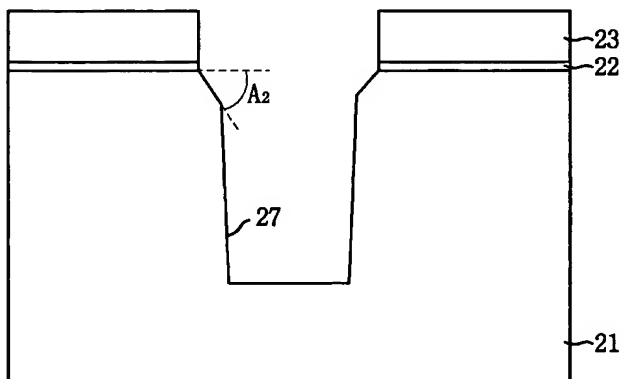
【도 2a】



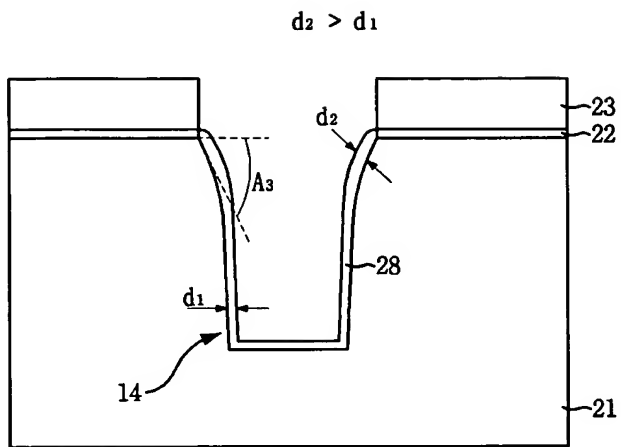
【도 2b】



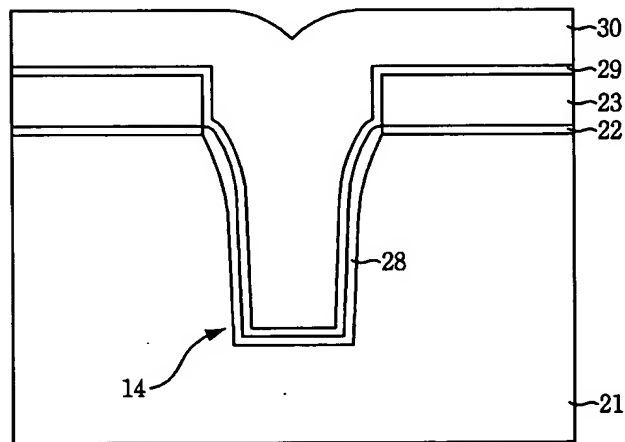
【도 2c】



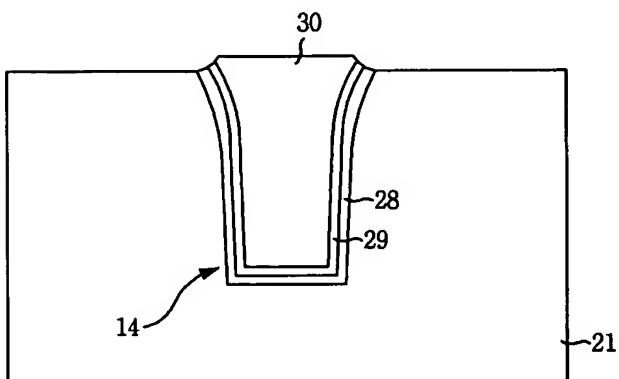
【도 2d】



【도 2e】



【도 2f】

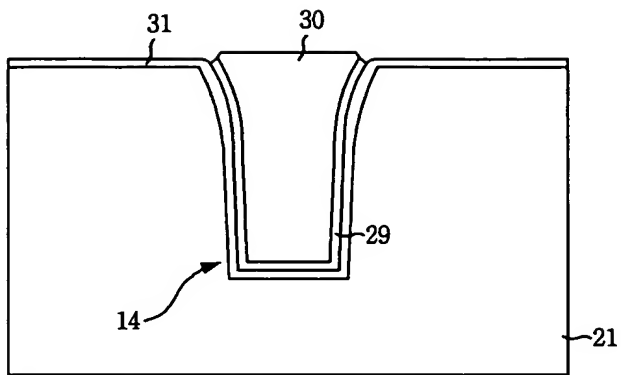




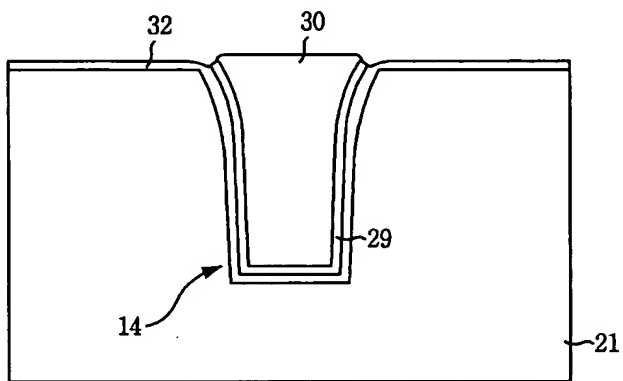
1020030043071

출력 일자: 2003/10/30

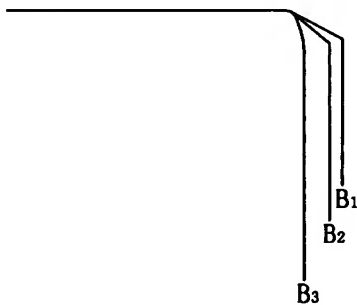
【도 2g】



【도 2h】

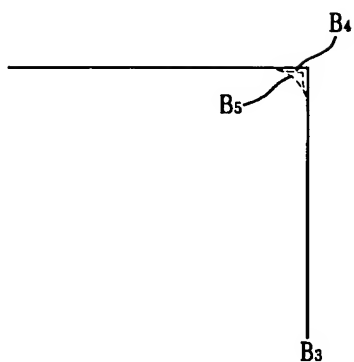


【도 3a】

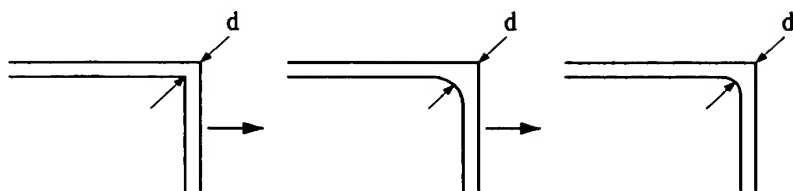




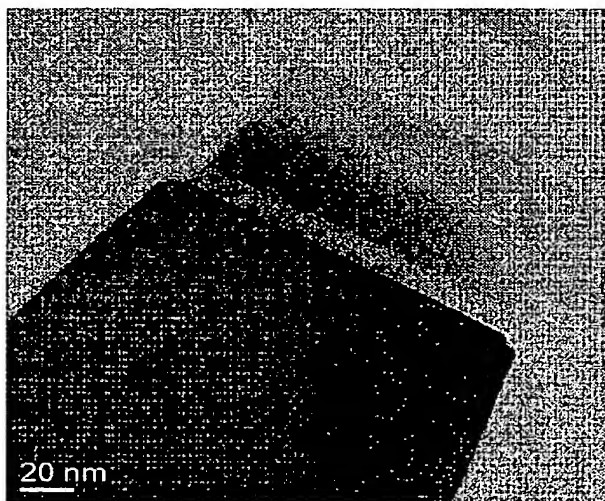
【도 3b】



【도 3c】



【도 4a】

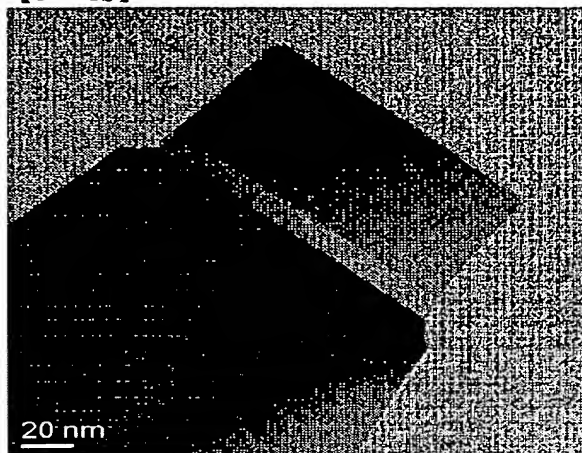




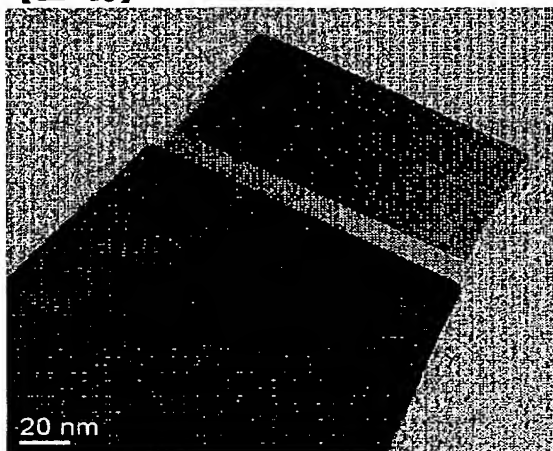
1020030043071

출력 일자: 2003/10/30

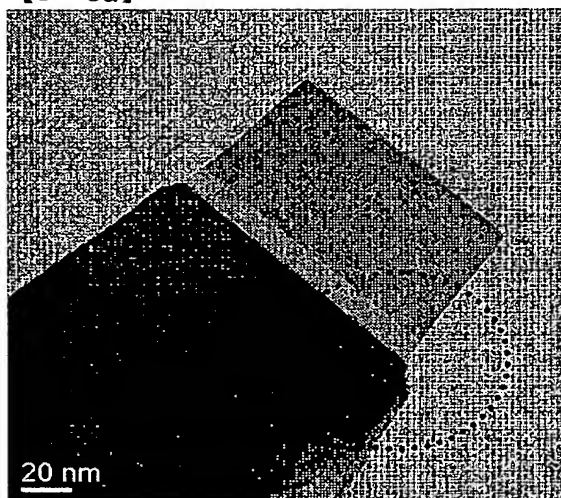
【도 4b】



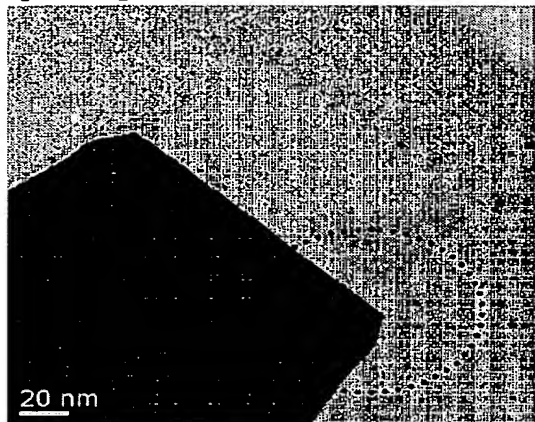
【도 4c】



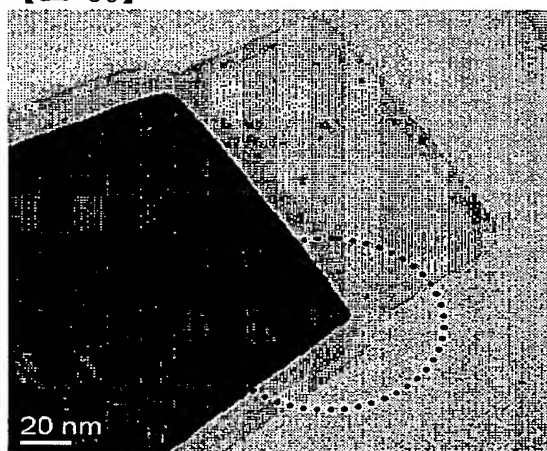
【도 5a】



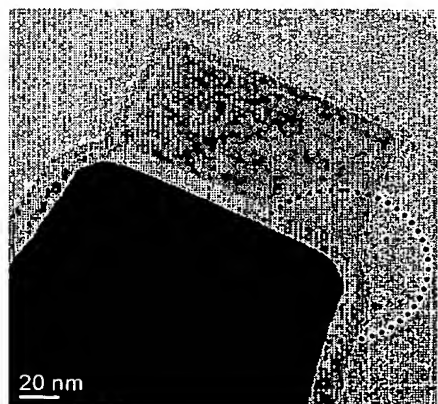
【도 5b】



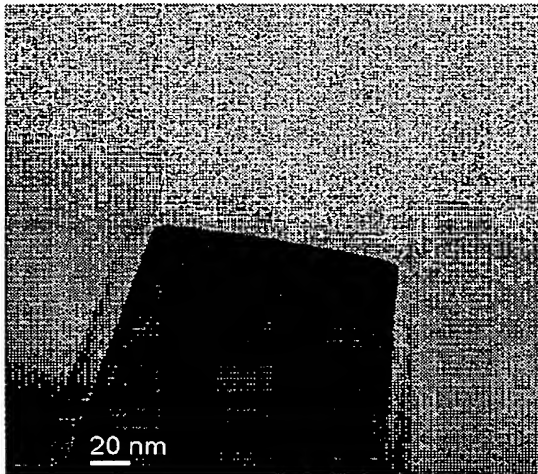
【도 5c】



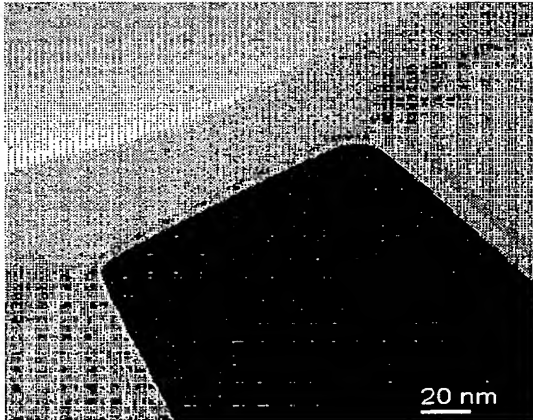
【도 5d】



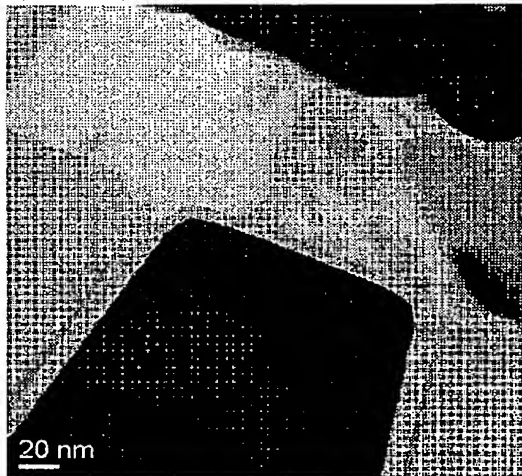
【도 6a】



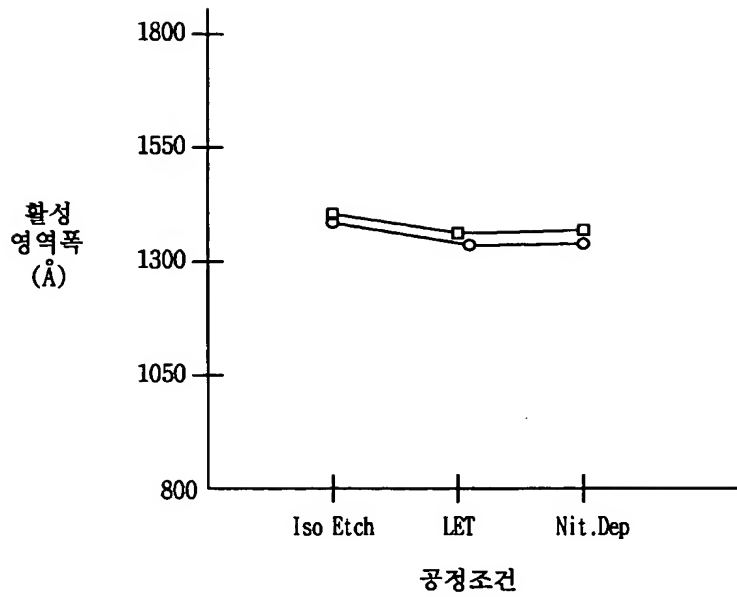
【도 6b】



【도 6c】



【도 7】



【도 8】

